

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-159041

⑫ Int. Cl.³
H 01 L 21/88
21/74

識別記号

厅内整理番号
6810-5F
8122-5F

⑬ 公開 昭和57年(1982)10月1日
発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑮ 特 願 昭56-43144

⑯ 出 願 昭56(1981)3月26日

⑰ 発明者 柴田直

川崎市幸区小向東芝町1 東京芝浦電気株式会社総合研究所内

⑱ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代理 人 弁理士 則近憲佑 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板表面に少くとも一層以上の被膜を形成する工程と、該被膜を通して基板に不純物をイオン注入する工程と、前記被膜を除去して半導体基板表面を露出させる工程と、該露出された表面に金属膜を被着する工程と、該金属膜と半導体基板の間に反応を生ぜしめ金属半導体化合物を形成する工程とからなることを特徴とする半導体装置の製造方法。

(2) 被膜を通して基板に不純物をイオン注入を行ない、該イオン注入された不純物を活性化させるために熱処理を行った後に、前記被膜を除去して半導体基板表面を露出させるようにしたことを特徴とする前記特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に係り、特に低

抵抗の拡散層配線を形成する方法に関する。

従来LSIに於ては、拡散層、ポリシリコン、Al等が配線として用いられている。この中で拡散層の配線はシリコン基板上に選択的に設けられたPN接合により形成されているが接合深さxJが小さくなるに従ってその層抵抗(ρ_s)は反比例して高くなる。特にチャネル長の短いトランジスタを実現する為には特にxJを浅くする事が要求され、例えば $xJ \approx 0.2\mu$ のAsイオン注入層の抵抗は $60\Omega/\square$ 以上に達する。

これらの抵抗を下げる手段としては拡散層上に、メタルシリサイドをはりつける技術がある。この方法を第1図(a)~(c)に従って説明する。 p 型シリコン基板(101)上にフィールド酸化膜(102)を設け、配線となる部分のシリコン表面(103)を露出する。(第1図(a))

次に例えばAsイオンを 50KeV で $3 \times 10^{15}\text{cm}^{-2}$ イオン注入することにより拡散層(104)を形成する。(第1図(b))

次いで全面に例えばPIなどの金属膜(105)が

約500Å吸着される(第1図(c))。次にウエハーを例えば450°Cで約30分熱処理するとPiとシリコンの擴している部分のみシリサイド(Pisi)(108)が形成される。拡散層上以外のPiはそのままこれを例えば王水(HNO₃:HCl=1:3)処理することにより除去してやれば第1図(d)に示した如く、拡散層上にのみシリサイドのはりつけられた構造が得られる。

以上の工程でサンプルをつくった場合シリサイド(106)とN⁺拡散層(104)との間でのオーミック・コンタクトがうまくとれないことがしばしば生じる。これの原因は第1図(b)の様にAsをイオン注入する時に、高エネルギーに加速されたAsイオンが、イオン注入装置内にわずかに存在するカーボン(これは真空ポンプから逆流したオイルなどによる)をイオン化しこれがシリコン表面に吸着する為に生じる。即ち、吸着したカーボンはその後の酸処理などでは除去することが出来ず金属(105)とシリコンが反応するのを妨げる。この様な部分では、シリサイドがほとんど形成されない

かかるいは形成されてもシリサイドとN⁺シリコンとのコンタクト抵抗が極めて高くなったりする。これらの現象は、配線やコンタクトの抵抗を上昇させて回路の動作速度を遅くするばかりでなく、出来上った製品の歩留りを低下させたり信頼性を下げるなど重大な結果を引き起す。

現在これらを解決する方法として例えばAsイオン注入(第1図(b))後、シリコン表面を例えばOF₄プラズマエッティングでエッティング除去することにより表面の汚染層を除去する方法がとられている。この方法は除去するシリコン膜厚の削除が難しく、特にxJが例えば0.2~0.3μと浅くなると益々困難になる。又一方イオン注入後、表面を例えば1000°Cで酸化し、その酸化膜と一緒に表面汚染層を除去する方法もあるが、この方法だと1000°Cの酸化中にxJが大きくなるばかりか、汚染層中の物質(主としてイオン注入装置からくる重金属)が拡散してキャリアのライフタイムを短くするなどの不都合が生じる。

本発明は以上の点に鑑みたされたものであり、

半導体基板表面に少くとも一層以上の被膜を形成し、該被膜を通して基板にイオン注入後、該被膜を除去し、しかる後に金属膜を蒸着することにより信頼性、歩留り、性能の極めて高い半導体装置の製造方法を提供するものである。

以下本発明の一実施例を図面(第2図(a)~(d))を用いて説明する。P型SI基板(201)上にフィールド酸化膜(202)を設け配線となる部分のシリコン表面(203)を露出させる。(第2図(a))次いでウエハーを例えば1000°CドライO₂中で約200Åの酸化膜(207)をシリコン表面に形成する(第2図(b))。次にこの酸化膜を通してAsを例えば120KeV, 3×10¹⁵cm⁻²イオン注入することによりAs拡散層(204)を形成する。この時主としてカーボンからなる汚染物質(208)が表面に付着する。次に例えばNH₄Fに約20秒つけてやると200Åの酸化膜(207)はエッティング除去され、これと同時に汚染物質(208)も除去される。これによりN⁺拡散層(204)が表面に全く汚染のない状態で露出させられる(第2図(d))。

以下の工程は従来例の第1図(c)~(d)と同様で拡散層上にシリサイドがはりつけられる。

本発明による方法に従うと、イオン注入中と吸着する汚染物質が完全に除去される為従来方法で問題となつたオーミック・コンタクトがとれないという問題、配線抵抗が上昇する問題などが原理的に解決出来るべく製品の歩留り、信頼性を非常に向上させることが出来た。しかもxJ=0.2μmに対し5~6Ω/□という極めて低い層抵抗が得られた。又Si表面をエッティングや酸化によって除去する方法にくらべても工程が簡単で又再現性もよい。

以上P型基板上に設けられたN⁺拡散層配線部にシリサイドをはりつける場合を例として説明したが、これ以外の場合たとえばMOS型トランジスタのソース・ドレイン部、コンタクトホール部、又、バイポーラトランジスタのベースやエミッタやコレクタ部などP型、N型にかかわらずいずれの場合にも用いられることは明らかである。又基板として単結晶シリコン基板の場合についてのみ述べ

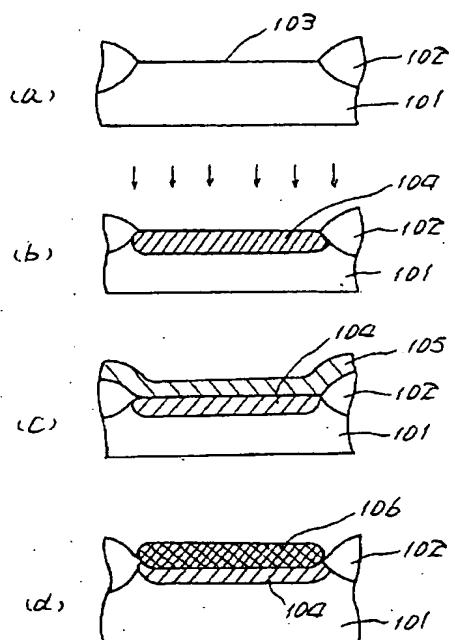
第1図

たがその他の基板、たとえば絶縁物上にデポジションされた多結晶シリコンの場合にも同様に用いられる。SI以外の物質たとえばGaAs,Geなどでも同様である。

4. 図面の簡単な説明

第1図(a)～(d)は従来例を示す工程断面図、第2図(a)～(d)は本発明の一実施例を示す工程断面図である。図に於いて、

101,201…p型シリコン基板、208…汚染層、
102,202…フィールド酸化膜、104,204…N⁺拡散層、
105…pt、106…ptシリサイド
207…破化膜。



代理人弁理士 則近重佑
(ほか1名)

第2図

